

503209820800

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 2003年 7月 8日

出願番号
Application Number: 特願 2003-193821

[T. 10/C]: [JP 2003-193821]

願人
Applicant(s): ソニー株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2003年 8月 22日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特 2003-3068895

【書類名】 特許願

【整理番号】 0300039703

【提出日】 平成15年 7月 8日

【あて先】 特許庁長官 殿

【国際特許分類】 H03M 7/34

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 野口 雅義

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 市村 元

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 鈴木 伸和

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100067736

【弁理士】

【氏名又は名称】 小池 晃

【選任した代理人】

【識別番号】 100086335

【弁理士】

【氏名又は名称】 田村 福一

【選任した代理人】

【識別番号】 100096677

【弁理士】

【氏名又は名称】 伊賀 誠司

【先の出願に基づく優先権主張】

【出願番号】 特願2002-239730

【出願日】 平成14年 8月20日

【手数料の表示】

【予納台帳番号】 019530

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707387

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ディジタル信号処理装置及びディジタル信号処理方法

【特許請求の範囲】

【請求項 1】 ディジタル信号に所定の処理が施され、上記ディジタル信号の信号振幅値を越える信号振幅値になる処理済みディジタル信号が入力されるディジタル信号処理装置において、

上記入力される処理済みディジタル信号の信号振幅を少なくとも量子化可能な量子化振幅値を備える第1の量子化手段を備える第1の△Σ変調手段と、

上記第1の△Σ変調手段から出力される変調信号を上記ディジタル信号の信号振幅値と等しい量子化振幅値を備える第2の量子化手段を備える第2の△Σ変調手段と

を備えることを特徴とするディジタル信号処理装置。

【請求項 2】 上記第2の△Σ変調手段は、上記第1の量子化手段から出力される量子化データが上記第2の量子化手段の量子化振幅値を越える振幅値であった場合に、上記第1の量子化手段から出力される量子化信号の一部を遅延させて上記第2の量子化手段へ入力する遅延手段を更に備えることを特徴とする請求項1記載のディジタル信号処理装置。

【請求項 3】 上記第1の△Σ変調手段が備える第1の量子化手段は、2以上のnビットからなる量子化値で量子化し、ゼロを等量ではさむ2値に加え、この2値の差分と等差の値を量子化値とすることを特徴とする請求項1記載のディジタル信号処理装置。

【請求項 4】 上記第2の△Σ変調手段の第2の量子化手段は、上記第1の量子化手段の量子化値のうちの最下位の2値の量子化値と等しい値を量子化値とすることを特徴とする請求項3記載のディジタル信号処理装置。

【請求項 5】 上記第2の△Σ変調手段が備える上記第2の量子化手段は、上記第1の△Σ変調手段の△Σ変調出力を1ビットにしてエネルギーを平均化することを特徴とする請求項1記載のディジタル信号処理装置。

【請求項 6】 ディジタル信号に所定の処理が施され、上記ディジタル信号の信号振幅値を越える信号振幅値になる処理済みディジタル信号が入力されるディ



ジタル信号処理方法において、

上記入力される処理済みディジタル信号を△Σ変調するとともに、上記△Σ変調された信号の振幅を少なくとも上記処理済みディジタル信号の振幅値以上の量子化値で量子化するステップと、

上記量子化された変調信号を上記ディジタル信号の信号振幅値と等しい量子化振幅値に量子化するステップと

を備えることを特徴とするディジタル信号処理装置。

【請求項 7】 上記量子化された変調信号を上記ディジタル信号の信号振幅値と等しい量子化振幅値に量子化するときに、上記量子化された変調信号の量子化値が上記ディジタル信号の信号振幅値を越えた部分の量子化処理を遅延させる請求項 6 記載のディジタル信号処理方法。

【請求項 8】 上記入力される処理済みディジタル信号が△Σ変調された信号を 2 以上の n ビットで量子化し、ゼロを等量ではさむ 2 値に加え、この 2 値の差分と等差の値を量子化値とすることを特徴とする請求項 6 記載のディジタル信号処理方法。

【請求項 9】 上記量子化された変調信号を上記ディジタル信号の信号振幅値と等しい量子化振幅値に量子化するステップは、上記量子化された変調信号を上記ディジタル信号の信号振幅値と等しい量子化振幅値に量子化する量子化値のうちの最下位の 2 値の量子化値と等しい値を量子化値とすることを特徴とする請求項 8 記載のディジタル信号処理方法。

【請求項 10】 1 ビットで表現されるディジタル信号に所定の信号処理が施されて上記 1 ビットを越える信号レベルのディジタル信号処理済み信号が入力されるディジタル信号処理装置において、

n ビット (n は 2 以上) からなる量子化値として、ゼロを等量ではさむ 2 値に加え、この 2 値の差分と等差の値を第 1 群の量子化値として出力する第 1 の量子化手段と、

上記第 1 の量子化手段が出力する第 1 群の量子化値のうちの最下位の 2 値の量子化値と等しい値を第 2 群の量子化値として出力する第 2 の量子化手段とを備え、

、

上記第2の量子化手段は上記第1の量子化手段が出力した上記第1群の量子化値のエネルギーを平均化して上記第2群の量子化値を出力することを特徴とするデジタル信号処理装置。

【請求項 1 1】 上記第1の量子化手段と上記第2の量子化手段との間に上記第1群の量子化値を積分して上記第2の量子化手段に供給する積分手段を備え、

上記積分手段は、上記第1の量子化手段が出力した上記第1群の量子化値の上記第2群の量子化値に対する余剰分を累積し、放出可能なタイミングにて逆符号を付して、上記第2の量子化手段に供給することを特徴とする請求項10記載のデジタル信号処理装置。

【請求項 1 2】 上記第2の量子化手段は、上記第1群の量子化値のトータルのエネルギー量を保つように上記第2群の量子化値を出力することを特徴とする請求項11記載のデジタル信号処理装置。

【請求項 1 3】 上記第2の量子化手段は、上記積分手段内に上記余剰分がなくなったときに、上記第1群の量子化値の最下位の2値をそのまま出力することを特徴とする請求項11記載のデジタル信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、1ビットで表現されるデジタル信号が所定の信号処理を施されることによって1ビットを越える信号振幅になったデジタル処理済み信号が入力され、入力される上記デジタル処理済み信号に所定の△Σ変調処理を行なう場合に、出力信号振幅を1ビットで表現されるように処理する発明に関する。

【0002】

【従来の技術】

従来のデジタルオーディオに使われてきたデータのフォーマットとして例えばサンプリング周波数44.1kHz、データ語長16ビットがある。これに対して△Σ変調された高速1ビット・オーディオ信号は、例えばサンプリング周波数が44.1kHzの64倍でデータ語長が1ビットといった非常に高いサンプリング周波数と短いデータ語長の形をしている。このため従来のデジタルオーディオに

使われてきたデータのフォーマットに比べて $\Delta\Sigma$ 変調された高速1ビット・オーディオ信号は、広い伝送可能周波数帯域を特長にしている。また、 $\Delta\Sigma$ 変調により1ビット信号であっても、64倍というオーバーサンプリング周波数に対して低域であるオーディオ帯域において、高いダイナミックレンジをも確保できる。この特徴を生かして高音質のレコーダーやデータ伝送に応用することができる。

【0003】

この $\Delta\Sigma$ 変調回路自体はとりわけ新しい技術ではなく、回路構成がIC化に適していて、また比較的簡単にAD変換の精度を得ることができることから従来からADコンバータの内部などではよく用いられている回路である。

【0004】

この $\Delta\Sigma$ 変調された信号を簡単なアナログローパスフィルターを通過することによって、アナログオーディオ信号を取り出すことが出来る。

【0005】

【発明が解決しようとする課題】

ところで、複数チャンネルの $\Delta\Sigma$ 変調された1ビット信号をミックスするには、それぞれの1ビット信号に各々所定のミックス比を乗じて得られた複数チャンネルの各々の計算結果を加算した後、再び $\Delta\Sigma$ 変調することによって新たな1ビット信号が生成される。このとき、もしミックスの対象が相関の高いチャンネルの信号であると、各々所定のミックス比を乗じて得られた複数チャンネルの各々の計算結果を加算して得られた結果のオーディオ帯域成分信号のレベルが大きくなるため、大きな信号レベルを変調可能な $\Delta\Sigma$ 変調器が必要となる。

【0006】

しかし、再変調を行う $\Delta\Sigma$ 変調器には、再変調による量子化ノイズレベルの上昇を抑えるために、例えば5次のような高次の $\Delta\Sigma$ 変調器が用いられ、この場合、通常50%前後が最大変調率として使用される。高次の $\Delta\Sigma$ 変調器では、系の安定性から例えば、50%を超えるような高い変調率を得ることは出来ない。

【0007】

一方、1次の $\Delta\Sigma$ 変調器を用いれば、100%変調までの変調が可能となるが、オーディオ帯域での量子化ノイズレベルが上昇してしまうため、これを使用する

ことはできない。

【0008】

このためリミット処理をせずにミックスするためには、信号の各チャンネルの信号レベルを抑え、再デルタシグマ変調時の変調率を抑えて使用するしかなく、この結果信号レベルが低下し、相対的に量子化ノイズレベルが上昇し、可聴帯域のS/N比が低下してしまうという問題があった。

【0009】

また、一旦、量子化手段によって出力されたマルチビットデータを再度、量子化するための再量子化手段を有して成るデジタル信号処理装置にあっては、それぞれ量子化手段を設けるために回路規模が増大しているという問題が有った。

本発明は、上記実情に鑑みてなされたものであり、小さなオーディオ帯域信号レベルの信号に対しては高次 $\Delta \Sigma$ 変調による低い量子化ノイズレベルを実現しつつ、大きなレベルの信号までを表現する1ビット信号を得ることを可能にするデジタル信号処理装置及びデジタル信号処理方法の提供を目的とする。

【0010】

また、本発明は、演算量を抑え、簡単な構成によって、マルチビットデータを1ビットデータに再量子化することのできるデジタル信号処理装置及びデジタル信号処理方法の提供を目的とする。

【0011】

【課題を解決するための手段】

本発明に係るデジタル信号処理装置は、上記課題を解決するために、デジタル信号に所定の処理が施され、上記デジタル信号の信号振幅値を越える信号振幅値になる処理済みデジタル信号が入力されるデジタル信号処理装置において、上記入力される処理済みデジタル信号の信号振幅を少なくとも量子化可能な量子化振幅値を備える第1の量子化手段を備える第1の $\Delta \Sigma$ 変調手段と、上記第1の $\Delta \Sigma$ 変調手段から出力される変調信号を上記デジタル信号の信号振幅値と等しい量子化振幅値を備える第2の量子化手段を備える第2の $\Delta \Sigma$ 変調手段とを備える。

【0012】

第1の△Σ変調手段は第1の量子化手段により処理済みデジタル信号の信号振幅を少なくとも量子化可能な量子化振幅値を用いて量子化し、第2の△Σ変調手段は第2の量子化手段により第1の△Σ変調手段から出力される変調信号を上記デジタル信号の信号振幅値と等しい量子化振幅値を用いて量子化する。

【0013】

本発明に係るデジタル信号処理方法は、上記課題を解決するために、デジタル信号に所定の処理が施され、上記デジタル信号の信号振幅値を越える信号振幅値になる処理済みデジタル信号が入力されるデジタル信号処理方法において、上記入力される処理済みデジタル信号を△Σ変調するとともに、上記△Σ変調された信号の振幅を少なくとも上記処理済みデジタル信号の振幅値以上の量子化値で量子化するステップと、上記量子化された変調信号を上記デジタル信号の信号振幅値と等しい量子化振幅値に量子化するステップとを備える。

【0014】

本発明に係るデジタル信号処理装置は、上記課題を解決するために、1ビットで表現されるデジタル信号に所定の信号処理が施されて上記1ビットを越える信号レベルのデジタル信号処理済み信号が入力されるデジタル信号処理装置において、nビット(nは2以上)からなる量子化値として、ゼロを等量ではさむ2値に加え、この2値の差分と等差の値を第1群の量子化値として出力する第1の量子化手段と、上記第1の量子化手段が出力する第1群の量子化値のうちの最下位の2値の量子化値と等しい値を第2群の量子化値として出力する第2の量子化手段とを備え、上記第2の量子化手段は上記第1の量子化手段が出力した上記第1群の量子化値のエネルギーを平均化して上記第2群の量子化値を出力する。

【0015】

【発明の実施の形態】

以下、本発明に係るデジタル信号処理装置及びデジタル信号処理方法のいくつかの実施の形態について図面を参照しながら説明する。

【0016】

先ず、第1の実施の形態について図1～図3を参照して説明する。この第1の

実施形態は、図1に示すように、デルタシグマ（ $\Delta \Sigma$ ）変調処理によりそれぞれ得られた1ビット（bit）信号Aと、1ビット（bit）信号Bとの加算出力を、カスケード接続された二つの $\Delta \Sigma$ 変調器3、 $\Delta \Sigma$ 変調器4とを用いて、1ビット信号にし、この1ビット信号出力を導出するデジタル信号処理装置1である。

【0017】

1ビット信号Aと1ビット信号Bが相関の高いチャンネルの信号であるとき、加算器2の加算出力は、 $\Delta \Sigma$ 変調された1ビット信号で表現可能なオーディオ帯域最大レベルを超えることがある。このオーディオ帯域最大レベルを超えた大きなレベルの信号をデジタル信号処理装置1によって1ビット信号に変換する。

【0018】

デジタル信号処理装置1は、1ビット信号で表現可能なオーディオ帯域最大レベルを超えることがある入力信号を1ビット信号に変換するために、第1の $\Delta \Sigma$ 変調手段である5次の $\Delta \Sigma$ 変調器3と、第2の $\Delta \Sigma$ 変調手段である1次の $\Delta \Sigma$ 変調器4によって構成される。そして5次の $\Delta \Sigma$ 変調器3には入力信号を4値で表現できる2ビットに量子化する第1の量子化手段である2ビット量子化器29が備えられている。1次の $\Delta \Sigma$ 変調器4には、5次の $\Delta \Sigma$ 変調器3から2ビットで出力される $\Delta \Sigma$ 変調器出力を1ビットに量子化する第2の量子化手段である1ビット量子化器33が備えられている。

【0019】

5次の $\Delta \Sigma$ 変調器3は、第1積分器10、第2積分器14、第3積分器18、第4積分器22、第5積分器26を有してなる。また、この $\Delta \Sigma$ 変調器3は、第1積分器10の積分出力に第1の係数を乗算して減衰させる第1係数乗算器13と、第2積分器14の積分出力に第2の係数を乗算して減衰させる第2係数乗算器17と、第3積分器18の積分出力に第3の係数を乗算して減衰させる第3係数乗算器21と、第4積分器22の積分出力に第4の係数を乗算して減衰させる第4係数乗算器25とを備える。また、上記最終の積分器となる第5積分器26の積分出力を量子化する上記2ビット量子化器29とを備える。

【0020】

第1積分器10は加算器11とシフト演算器12とからなる。第2積分器14

は加算器15とシフト演算器16とからなる。第3積分器18は加算器19とシフト演算器20とからなる。第4積分器22は加算器23とシフト演算器24とからなる。第5積分器26は加算器27とシフト演算器28とからなる。

【0021】

加算器2からの加算出力が△Σ変調器3に入ると、第1の積分器10は上記加算出力を加算器11を介してシフト演算器12に供給する。シフト演算器12は、加算器11からの加算出力をシフトし、加算器11に戻す。また、加算器11には上記2ビット量子化器29からのフィードバックループ信号も負帰還される。そして、第1の積分器10の積分出力は、第1係数乗算器13に供給される。第1係数乗算器13は、第1の積分器10の積分出力に第1の係数として1/16を乗算して減衰させ、第2の積分器14に供給する。

【0022】

第2の積分器14は第1係数乗算器13からの乗算出力を加算器15を介してシフト演算器16に供給する。シフト演算器16は、加算器15からの加算出力をシフトし、加算器15に戻す。また、加算器15には上記2ビット量子化器29からのフィードバックループ信号も負帰還される。そして、第2の積分器14の積分出力は、第2係数乗算器17に供給される。第2係数乗算器17は、第2の積分器14の積分出力に第2の係数として1/8を乗算して減衰させ、第3の積分器18に供給する。

【0023】

第3の積分器18は第2係数乗算器17からの乗算出力を加算器19を介してシフト演算器20に供給する。シフト演算器20は、加算器19からの加算出力をシフトし、加算器19に戻す。また、加算器19には上記2ビット量子化器29からのフィードバックループ信号も負帰還される。そして、第3の積分器18の積分出力は、第3係数乗算器21に供給される。第3係数乗算器21は、第3の積分器18の積分出力に第3の係数として1/4を乗算して減衰させ、第4の積分器22に供給する。

【0024】

第4の積分器22は第3係数乗算器21からの乗算出力を加算器23を介して

シフト演算器24に供給する。シフト演算器24は、加算器23からの加算出力をシフトし、加算器23に戻す。また、加算器23には上記2ビット量子化器29からのフィードバックループ信号も負帰還される。そして、第4の積分器22の積分出力は、第4係数乗算器25に供給される。第4係数乗算器25は、第4の積分器22の積分出力に第4の係数として1/2を乗算して減衰させ、第5の積分器26に供給する。

【0025】

第5の積分器26は第4係数乗算器25からの乗算出力を加算器27を介してシフト演算器28に供給する。シフト演算器28は、加算器27からの加算出力をシフトし、加算器27に戻す。また、加算器27には上記2ビット量子化器29からのフィードバックループ信号も負帰還される。そして、第5の積分器26の積分出力は、2ビット量子化器29に供給される。

【0026】

2ビット量子化器29は、第5の積分器26の積分出力を量子化して2ビット信号を出力する。この2ビットからなる量子化値は、ゼロを等量ではさむ2値である例えは±1に加え、この2値の差分(2)と等しい差分を、±1との間に持つ値±3である。言い換えると、2ビットからなる4値の量子化値としては0を用いず、1ビット量子化時の量子化値±1と、この2値間の差分を持って±1と等間隔になる、±3を用いる。すなわち、量子化値は、+3、+1、-1、-3となり、差が2づつの等間隔となる。この2ビット信号は、各積分器にフィードバックループ信号として負帰還される。また、2ビット量子化器29は、上記2ビット信号出力を5次の△Σ変調器3の外部に5次△Σ変調器出力として導出する。

【0027】

次に、上記5次△Σ変調器出力を1次の△Σ変調器出力に変換する1次の△Σ変調器4の構成について説明する。この1次△Σ変調器4は、一つの積分器30と1ビット量子化器33を備える。

【0028】

積分器30は、加算器31とシフト演算器32からなる。上記5次△Σ変調器

出力が1次の $\Delta\Sigma$ 変調器4に入ると、積分器30は、上記5次 $\Delta\Sigma$ 変調器出力を加算器31を介してシフト演算器32に供給する。シフト演算器32は、加算器31からの上記5次 $\Delta\Sigma$ 変調器出力をシフトし、加算器31に戻す。また、加算器31には1ビット量子化器33からのフィードバックループ信号も負帰還される。なお、この実施例の場合、シフト演算器32は後で説明するサンプリング周期で1周期分の遅延を発生している。

【0029】

1ビット量子化器33は、シフト演算器32の出力を1ビットの2値へ量子化する。1ビット量子化器33は、シフト演算器32から正の値が入力された場合は量子化値として+1を出力する。これに対し、シフト演算器32から負の値が入力された場合は、1ビット量子化器33は量子化値として-1を出力する。この実施例の場合、実際に1ビット量子化器から出力される2進符号としては量子化値+1に対しては1であり、2進化符号0は量子化値-1が対応している。この1ビット量子化器33からの1ビットの2値は、各積分器にフィードバックループ信号として負帰還されと共に、外部に1次 $\Delta\Sigma$ 変調器出力として導出される。なお、この1ビット量子化器33は入力された信号を量子化するまでの信号遅延は後で説明するサンプリング周期の1周期分より短いものである。

【0030】

以上に構成を示したディジタル信号処理装置1の動作原理について図2（A）、図2（B）、図2（B）を参照して以下に説明する。

【0031】

2系統の1ビット信号AおよびBは、加算器2によって加算処理した後、音質の劣化を抑えるために、5次の $\Delta\Sigma$ 変調器3によって再 $\Delta\Sigma$ 変調される。

【0032】

ここで2系統の1ビット信号AおよびBがまったく同一の信号であった場合、加算器2によって加算処理した後、そのオーディオ帯域成分は1系統の1ビット信号の2倍に増加する。

【0033】

しかし、例えば5次のように高次の $\Delta\Sigma$ 変調器は、入力信号レベルが増加し、

変調率が高くなると系が不安定になる。これは、量子化値が±1の2値の場合、つまり1ビット量子化器を用いている場合、そのオーディオ帯域成分が±1に近くと、±1の2値のレベルで表現することが難しくなるためである。

【0034】

本発明ではこのような大きなレベルの信号に対しても変調が可能なように、量子化器29の量子化ビット数を2ビットに拡張し、量子化値を4値とした5次の△Σ変調器3を用いて、一旦±1を超えるオーディオ帯域信号を表した△Σ変調信号を生成する。

【0035】

ここで、この4値の量子化値としては前述したように、0を用いず、1ビット量子化時の量子化値±1と、この2値間と等間隔になる、±3を用いる。これにより、4値の量子化値は、図2(A)に示すように、+3、+1、-1、-3という第1群の量子化値となり、差が2づつの等間隔となる。一旦2ビットに変換した信号は、後段の1次の△Σ変調器4によって、図2(B)に示すように、再び1ビット信号に再変換される。

【0036】

ここで、後段の1ビット量子化器33の量子化値は、図2(B)に示すように、±1の第2群の量子化値にする。これにより、オーディオ帯域成分が小さく、前段の量子化値が±1の2値に収まっている間は、後段の1次の△Σ変調器4では、1サンプリングの遅延が生じるだけで、前段の出力値がそのまま出力される。すなわち5次の△Σ変調の特性がそのまま出力されることになる。一方、オーディオ帯域成分が大きくなり、前段の5次の△Σ変調器3が±3を出力すると、後段の1次の△Σ変調器4は、±1を超えた分を補正可能な時まで処理を遅延させたのちに補正し、その後は再び前段の値をそのまま出力するようになる。たとえば前段の5次の△Σ変調器3より、+3が出力された場合、後段の1次の△Σ変調器4はそこでは+1を出力し、差分の2を積分器30に蓄える。そして次に-1が来たときに、-1を+1に補正して出力する。これにより、積分器30に蓄えられた2の分はクリアされる。それ以降は再び前段の±1出力がそのまま遅延して出力に得られるようになる。すなわちオーディオ帯域成分の振幅が大きく

なり、±1を超えた時だけ2ビットから1ビットへの変換処理が働き、それ以外の時には影響を及ぼさない。

【0037】

通常、 $\Delta\Sigma$ 変調器は、量子化値以下の信号を変調するが、ここでの後段の1次の $\Delta\Sigma$ 変調器4内の量子化器33は、 $\Delta\Sigma$ 変調器3内にて量子化値が±1を超えた場合に超えた分を補正するように働くことになる。

【0038】

これは、1次の $\Delta\Sigma$ 変調器4においてマルチビット符号を1ビット化し、エネルギーを平均化することになる。以下に、図3（A）、図3（B）、図3（C）を参照して、マルチビット符号を1ビット化することがエネルギーの平均化となることを説明する。

【0039】

前述したように、オーディオ帯域成分が大きくなり、前段の5次の $\Delta\Sigma$ 変調器から±3が出力されると、後段の1次の $\Delta\Sigma$ 変調器は、±1を超えた分を補正可能な時まで処理を延期した後に補正し、その後は再び前段の値をそのまま出力するようになる。

【0040】

図3（A）、図3（B）、図3（C）は、後段の $\Delta\Sigma$ 変調器として1次の $\Delta\Sigma$ 変調器を用いた場合の説明図である。始めに前段の5次の $\Delta\Sigma$ 変調器の2ビット量子化器29が+1, -1の範囲で量子化値を出力している場合について説明する。図3（A）の $t-2$ において-1を量子化値として出力した場合には、次のサンプリング周期 $t-1$ に1次の $\Delta\Sigma$ 変調器30内の積分器32から-1が出力されて、同じサンプリング周期 $t-1$ 内に1次の $\Delta\Sigma$ 変調器30の1ビット量子化器33からそのまま-1として出力される。さらにサンプリング周期 $t-1$ に2ビット量子化器から+1が出力された場合には、1サンプリング周期遅延したサンプリング周期 t_0 に積分器32からそのまま+1として出力され、さらに同じサンプリング周期 t_0 内に1ビット量子化器33からそのまま+1として量子化値が出力される。

【0041】

図3 (A) に示すようにたとえば前段の5次 $\Delta\Sigma$ 変調器3よりサンプリング周期 t_0 で+3が出力され、図3 (C) に示すように1ビット量子化器33の出力として一次の $\Delta\Sigma$ 変調器4の出力が+1であった場合、次のサンプリング周期 t_1 で、後段の1次 $\Delta\Sigma$ 変調器4の第1の積分器30にはこの+3が蓄えられる。この場合、サンプリング周期 t_0 のシフト演算器32の出力+1と、5次の $\Delta\Sigma$ 変調器の2ビット量子化器29の出力+3と、シフト演算器32の出力を1ビット量子化器33で量子化した出力+1を反転させた-1とを加算器31による加算の結果として+3が積分器32の出力となる。すなわち、 $(+1) + (+3) - (+1) = +3$ で算出される値が積分器30から出力されることになる。そして同じサンプリング周期 t_1 内には図3 (C) に示すように1ビット量子化器33から正の最大の出力値として+1が出力されることになる。

【0042】

このため結局サンプリング周期 t_1 においては1ビット量子化器33から出力されなかった+2が積分器30に残ったままで有ると等価な状態となる。

【0043】

積分器32に+2が残ったのと等価な状態でサンプリング周期 t_1 において2ビット量子化器29から+1が出力された場合には、加算器31には2ビット量子化器29の出力である+1と、シフト演算器32の出力である+3と、1ビット量子化器33の出力である+1の反転値-1がサンプリング周期 t_1 に入力されて、加算器31からは+3が出力されシフト演算器32へ入力される。この+3が次のサンプリング周期 t_2 には図3 (B) に示すようにシフト演算器32から出力される。そして図3 (C) に示すように1ビット量子化器33からは正の最大値である+1がサンプリング周期 t_2 内に出力される。このときもシフト演算器32の出力が1ビット量子化器33から全て出力されることが無かったため、結局+2が積分器30に残った状態と等価な状態となる。つまり、サンプリング周期 t_1 で等価的に積分器30に残った+2に対して、さらに2ビット量子化器29から入力された+1が積分されて+3になり、+3のうちの+1が1ビット量子化器33から出力されて、+2が積分器内に残ったのと等価な状態となつたのである。次のサンプリング周期 t_2 において2ビット量子化器29から-1

が出力された場合には、加算器32には2ビット量子化器29から出力された-1と、積分器30のシフト演算器32の出力+3と、1ビット量子化器33の出力+1の反転値-1が入力されて、加算器32からは+1が出力されることになる。つまり、+2の残留値に対して-1が入力されて、1次の△Σ変調器4からは+1が出力されることで+2はこのサンプリング周期t2で放出される。そして、サンプリング周期t3に2ビット量子化器29から出力された+1は、次のサンプリング周期となるt4においてそのまま出力される。

【0044】

同様に、図3 (A) に示すようにサンプリング周期t10において加算器31に-3が入力された場合には、積分器30は1サンプリング周期遅延したt11において-3となる。ここで、蓄えられた余剰分が放出される前のサンプリング周期t12に、再び加算器31の入力に-3が入力された場合には、積分器30は、さらにこれを累積し、サンプリング周期t13において-5となる。この累積した余剰分は、その後現れるサンプリング周期t14とt17の2回の+1入力の時に-2づつ放出される。この時1bit量子化器33からは入力の+1とは逆の-1が出力される。そしてサンプリング周期t18に加算器に入力された+1はサンプリング周期t19においてそのまま1ビット量子化器33から出力される。

【0045】

このように1次の△Σ変調器4を用いることによって、±3の信号が入力された場合にはその超過分を累積し、放出可能な時に1bit量子化器33出力に入力とは逆符号の信号を出力させることによって放出し、トータルの信号の持つエネルギー量を保つとともに、余剰分が無くなった時には、入力の±1の信号を、遅延させただけでそのまま出力させることができる。

【0046】

以上より、第1の実施の形態のデジタル信号処理装置1は、小さなレベルのオーディオ帯域信号には5次の△Σ変調器3のS/N比を維持したまま、大きなレベルの信号に対しても1ビットで表現することが可能となる。

【0047】

次に、第2の実施の形態について図4を参照して説明する。この第2の実施の形態も、 $\Delta\Sigma$ 変調処理によりそれぞれ得られた1ビット(bit)信号Aと、1ビット(bit)信号Bとの加算出力を、カスケード接続された二つの $\Delta\Sigma$ 変調器を用いて、1ビット信号にし、この1ビット信号出力を導出するデジタル信号処理装置40である。

【0048】

すなわち、このデジタル信号処理装置40は、1ビット信号で表現可能なオーディオ帯域最大レベルを超えることがある入力信号を1ビット信号に変換するために、入力信号を3ビットで表現される8値に量子化する第1の量子化手段としての3ビット量子化器42を備える第1の $\Delta\Sigma$ 変調手段としての5次の $\Delta\Sigma$ 変調器40と、5次の $\Delta\Sigma$ 変調器40の3ビットの $\Delta\Sigma$ 変調器出力を1ビットに量子化する第2の量子化手段としての1ビット量子化器を備える第2の $\Delta\Sigma$ 変調手段としての1次の $\Delta\Sigma$ 変調器4によって構成される。

【0049】

5次の $\Delta\Sigma$ 変調器40は、3ビット量子化器42を備える点だけが、上記第1の実施の形態のデジタル信号処理装置1内の5次の $\Delta\Sigma$ 変調器3と異なるので、それ以外は同符号を付して説明を省略する。

【0050】

3ビット量子化器42は、入力信号を3ビットにて ± 1 、 ± 3 、 ± 5 、 ± 7 の8値に第1群の量子化値として量子化する。ゼロを等量ではさむ2値である ± 1 に加え、この2値の差分に相当する2と等しい差分を、 ± 1 から等間隔に前値との間にもつ ± 3 、 ± 5 、 ± 7 である。これらは、差が2づつの等間隔となる。すなわち、第1群の量子化値は、 $+7$ 、 $+5$ 、 $+3$ 、 $+1$ 、 -1 、 -3 、 -5 、 -7 となり、差が2づつの等間隔となる。この3ビット信号は、各積分器にファイードバックループ信号として負帰還される。また、3ビット量子化器42は、上記3ビット信号出力を5次の $\Delta\Sigma$ 変調器41の外部に5次 $\Delta\Sigma$ 変調器出力として導出する。

【0051】

1次の $\Delta\Sigma$ 変調器4内の1ビット量子化器33は、上記第1の量子化手段であ

る3ビット量子化器42の量子化値のうちの最下位の2値の量子化値である±1と等しい値を第2群の量子化値とする。この1ビット量子化器33からの1ビットの2値は、積分器にフィードバックループ信号として負帰還されと共に、外部に1次△Σ変調器出力として導出される。

【0052】

以上に構成を示したデジタル信号処理装置40の動作原理について以下に説明する。

【0053】

本発明でも大きなレベルの信号に対しても変調が可能なように、量子化器42の量子化ビット数を3ビットに拡張し、量子化値を8値とした5次の△Σ変調器40を用いて、一旦±1を超えるオーディオ帯域信号を表した△Σ変調信号を生成する。

【0054】

この8値の量子化値としては前述したように、0を用いず、1ビット量子化時の量子化値±1と、この2値間と等間隔になる、±3、±5、±7を用いる。一旦3ビットに変換された信号は、後段の1次の△Σ変調器4によって、再び1ビット信号に再変換される。

【0055】

ここで、後段の1ビット量子化器33の量子化値は、前段の2ビット量子化器29の最小量子化値である±1と同じ値である。これにより、オーディオ帯域成分が小さく、前段の量子化値が±1の2値に収まっている間は、後段の1次の△Σ変調器4では、1サンプリングの遅延が生じるだけで、前段の出力値がそのまま後段より出力される。すなわち5次の△Σ変調の特性がそのまま出力されることになる。一方、オーディオ帯域成分が大きくなり、前段の5次の△Σ変調器41が±3、±5、±7を出力すると、後段の1次の△Σ変調器4は、超えた分を補正可能な時まで処理を延期した後に補正し、その後は再び前段の値をそのまま出力するようになる。たとえば前段である5次の△Σ変調器41より、+5が出力された場合、後段の1次の△Σ変調器4はそこでは+1を出力し、差分の4を積分器30に蓄える。そして次に-1が来たときに、-1を+1に補正して出力

する。また、さらに-1が来たときに、-1を+1に補正して出力する。これにより、積分器30に蓄えられた4の分はクリアされる。それ以降は再び前段の±1出力がそのまま遅延して出力に得られるようになる。すなわちオーディオ帯域成分の振幅が大きくなり、±1を超えた時だけ3ビットから1ビットへの変換処理が働き、それ以外の時には影響を及ぼさない。

【0056】

通常 $\Delta\Sigma$ 変調器は、量子化値以下の信号を変調するが、ここでの後段の1次の $\Delta\Sigma$ 変調器4内の量子化器33は、 $\Delta\Sigma$ 変調器3内にて量子化値が±1を超えた場合に超えた分を補正するように働くことになる。

【0057】

なお、第1の $\Delta\Sigma$ 変調手段内の第1の量子化手段は、前述したように、入力信号を2ビット、3ビットに量子化する2ビット量子化器、3ビット量子化器に限るものではない。2以上の整数nであれば、4、5、6…を適用することができる。量子化値としては、ゼロを等量ではさむ2値に加え、この2値の差分と等差の値を量子化値とすることが条件となる。

【0058】

また、上記第1、第2の実施の形態では、第1の $\Delta\Sigma$ 変調手段と共に5次の $\Delta\Sigma$ 変調器としたが、2、3、4、6、7、8…次、つまり積分器手段を上記数だけ直列に接続した段数の複数次の $\Delta\Sigma$ 変調手段としてもよい。ただし、高次になるほど変調率は下がる。

【0059】

また、これら複数次の $\Delta\Sigma$ 変調手段内の量子化手段は、もちろん、前述したようにn(2, 3, 4, 5, 6, …)ビットの量子化器でもよい。

【0060】

また、上記第1、第2の実施の形態では、第2の $\Delta\Sigma$ 変調手段と共に1次の $\Delta\Sigma$ 変調器としたが、2次の $\Delta\Sigma$ 変調器でもよい。ただし、3次以上の $\Delta\Sigma$ 変調器は適さない。

【0061】

以下には、第2の $\Delta\Sigma$ 変調手段として1次または2次の $\Delta\Sigma$ 変調器を採用した

場合と、3次の $\Delta\Sigma$ 変調器を採用した場合とで特性が異なることを説明する。

【0062】

先ず、上記第1の実施の形態のディジタル信号処理装置1の第2の $\Delta\Sigma$ 変調手段に、1次または2次の $\Delta\Sigma$ 変調器を採用した場合について説明する。

【0063】

第1の $\Delta\Sigma$ 変調手段である5次の $\Delta\Sigma$ 変調器3にて一旦2ビットに変換した信号は、後段の1次または2次の $\Delta\Sigma$ 変調器によって、再び1ビット信号に再変換される。ここで、後段の1ビット量子化器の量子化値は、前段の2ビット量子化器の最小量子化値である±1と同じ値にする。これにより、オーディオ帯域成分が小さく、前段の量子化値が±1の2値に収まっている間は、後段の $\Delta\Sigma$ 変調器では、1次で1サンプリング、2次で2サンプリングの遅延が生じるだけで、前段の出力値がそのまま後段より出力される。すなわち5次の $\Delta\Sigma$ 変調の特性がそのまま出力されることになる。

【0064】

図5には1次の $\Delta\Sigma$ 変調器4の構成を示す。図6（A）、図6（B）、図6（C）には1次の $\Delta\Sigma$ 変調器4を用いた場合の動作を説明するためのタイミングチャートを示す。図6（A）の1次 $\Delta\Sigma$ 変調器入力に積分処理を施した積分器30の出力が図6（B）に示すように±1とすると、1bit量子化器33の出力は、±1からなる積分器出力と図6（C）に示すように同一信号になる。このため、積分器30への2系統のフィードバックループ信号は、自分自身と1bit量子化器33からの逆符号の同一レベル信号の加算となるため、合計値は常に0となる。従って、積分器30は常に入力信号を、1サンプル遅延した±1を出力信号とし、そのまま1bit量子化器出力から±1の同一信号が得られる。

【0065】

図7には2次の $\Delta\Sigma$ 変調器50の構成を示す。2次の $\Delta\Sigma$ 変調器50は、第1積分器51と第2積分器53とを間に係数乗算器52を挟んで直列に接続し、さらに第2積分器の後段に1ビット量子化器54を接続して、フィードバックループ信号を上記二つの積分器に負帰還する構成である。係数乗算器は、第1積分器51の積分出力に係数1/2を乗算して減衰させている。

【0066】

図8 (A)、図8 (B)、図8 (C)、図8 (D)には2次の $\Delta\Sigma$ 変調器50を用いた場合の動作を説明するためのタイミングチャートを示す。図8 (A)の2次 $\Delta\Sigma$ 変調器入力に積分処理を施した第1積分器51の出力が図8 (B)に示すように±2とすると、第2積分器53の積分出力は図8 (C)に示すように±0.5となる。そして、1ビット量子化器54の量子化出力は図8 (D)に示すようになる。つまり、図8 (D)に示す1ビット量子化器54の出力が、図8 (A)に示す2次 $\Delta\Sigma$ 変調器入力の2サンプル遅延と同一値となる。

【0067】

次に、図9には3次の $\Delta\Sigma$ 変調器60の構成を示す。3次の $\Delta\Sigma$ 変調器60は、第1積分器61と第2積分器63と第3積分器65とを、係数乗算器62と、係数乗算器64を挟んで直列に接続し、さらに第3積分器の後段に1ビット量子化器66を接続して、フィードバックループ信号を上記三つの積分器に負帰還する構成である。係数乗算器62は、第1積分器61の積分出力に係数1/4を乗算して減衰させ、第2積分器63に供給している。係数乗算器64は、第2積分器63の積分出力に係数1/2を乗算して減衰させ、第3積分器65に供給している。

【0068】

図10 (A)、図10 (B)、図10 (C)、図10 (D)には3次の $\Delta\Sigma$ 変調器60を用いた場合の動作を説明するためのタイミングチャートを示す。図10 (A)の3次 $\Delta\Sigma$ 変調器入力に積分処理を施した第1積分器61の出力が図10 (B)に示すように±2とすると、第2積分器63の積分出力は図10 (C)に示すように±1となる。さらに、第3積分器65の積分出力は図10 (D)に示すようになる。そして、1ビット量子化器66の量子化出力は図10 (E)に示すようになる。つまり、図10 (E)に示す1ビット量子化器66の出力は、図10 (A)に示す3次 $\Delta\Sigma$ 変調器入力を単純に遅延させた値とならず、異なる信号となってしまう。

【0069】

よって、上記第2の $\Delta\Sigma$ 変調手段に用いる $\Delta\Sigma$ 変調器としては、3次の $\Delta\Sigma$ 変

調器は適さず、2次以下の△Σ変調器が適する。

【0070】

なお、オーディオ帯域成分のレベルが大きくなる例として、上記第1、第2の実施の形態では、2系統の1bit信号を加算（ミックス）する場合を示したが、3、4、5、6チャンネル等多チャンネルのミックスや、フェードイン、フェードアウト、クロスフェード等のレベルコントロールなど、もとの1ビット信号のレベルを超えてしまうようなその他さまざまな場合も想定することができる。

【0071】

【発明の効果】

本発明に係るディジタル信号処理装置及び方法は、複数mビットからなる量子化器を持つ第1の△Σ変調手段によって変調された複数ビット長の信号に再度、低次数n（2以下）の第2の△Σ変調手段にて△Σ変調を施すことにより、小さなレベルの信号には高次の△Σ変調器による高いS/N比を実現しつつ、信号のレベルが大きくなった時だけ、そのオーバーしたレベル分にだけ再変調をかけることによって、大きなレベルの信号までを表現する1ビット信号を得ることを実現可能としている。つまり、小さなオーディオ帯域信号レベルの信号に対しては高次△Σ変調による低い量子化ノイズレベルを実現しつつ、大きなレベルの信号までを表現する1ビット信号を得ることを可能にする。

【0072】

また、本発明に係るディジタル信号処理装置及び方法は、第1の量子化手段及び工程が出力する第1群の量子化値のうちの最下位の2値の量子化値と等しい値を第2群の量子化値として出力する第2の量子化手段を備えてなり、第2の量子化手段は第1の量子化手段が出力した第1群の量子化値のエネルギーを平均化して第2群の量子化値を出力するので、簡単な構成によって、マルチビットデータを1ビットデータに再量子化することができる。

【図面の簡単な説明】

【図1】

第1の実施の形態のディジタル信号処理装置の構成図である。

【図2】

第1の実施の形態の動作を説明するためのタイミングチャートである。

【図3】

第1の実施の形態を構成する第2の $\Delta\Sigma$ 変調器におけるエネルギーの平均化を説明するためのタイミングチャートである。

【図4】

第2の実施の形態のディジタル信号処理装置の構成図である。

【図5】

1次の $\Delta\Sigma$ 変調器の構成図である。

【図6】

1次の $\Delta\Sigma$ 変調器を用いた場合の動作を説明するためのタイミングチャートである。

【図7】

2次の $\Delta\Sigma$ 変調器の構成図である。

【図8】

2次の $\Delta\Sigma$ 変調器を用いた場合の動作を説明するためのタイミングチャートである。

【図9】

3次の $\Delta\Sigma$ 変調器の構成図である。

【図10】

3次の $\Delta\Sigma$ 変調器を用いた場合の動作を説明するためのタイミングチャートである。

【符号の説明】

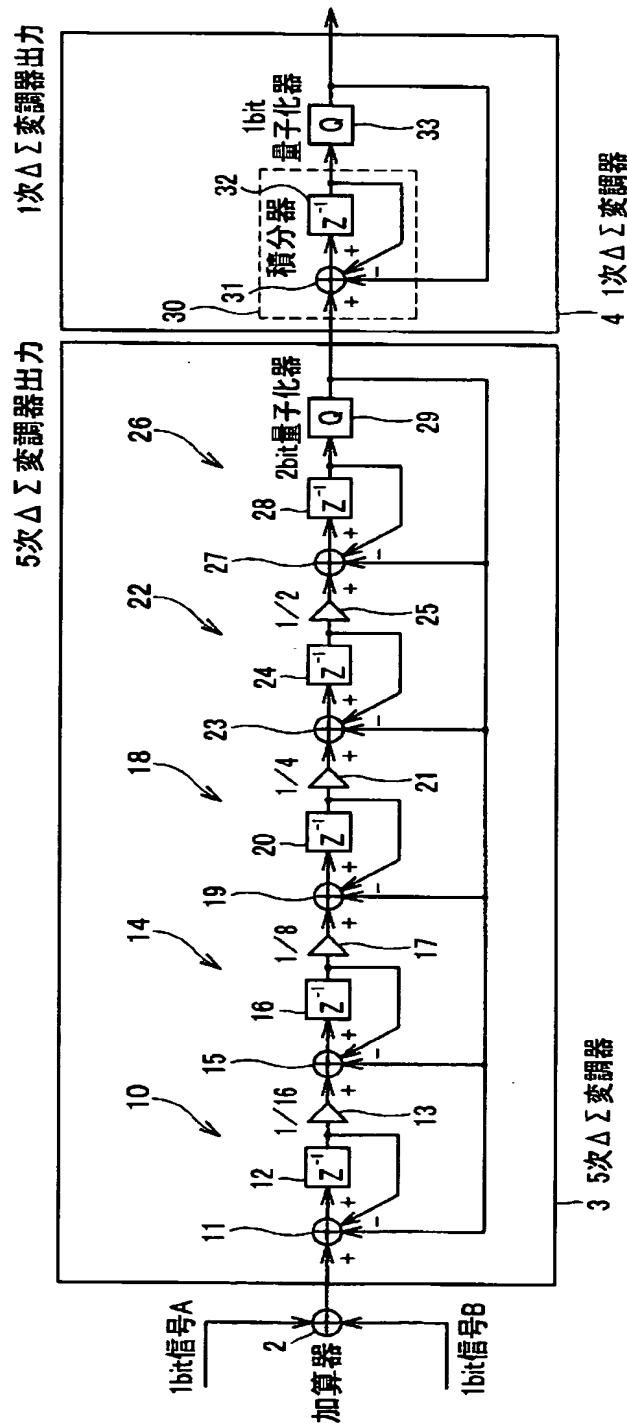
1 ディジタル信号処理装置、3 5次の $\Delta\Sigma$ 変調器、4 1次の $\Delta\Sigma$ 変調器
、29 2ビット量子化器、33 1ビット量子化器

【書類名】

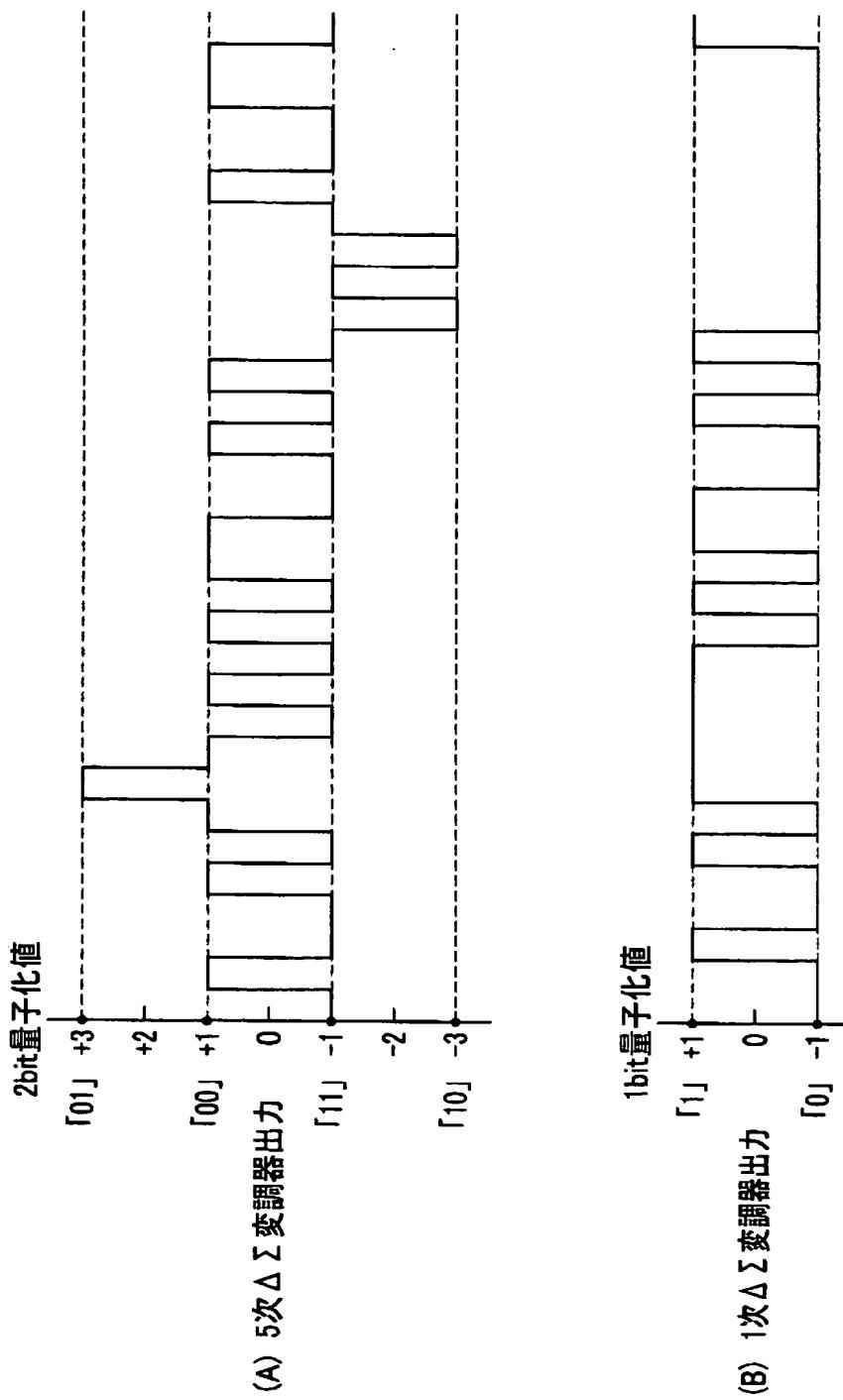
図面

【図 1】

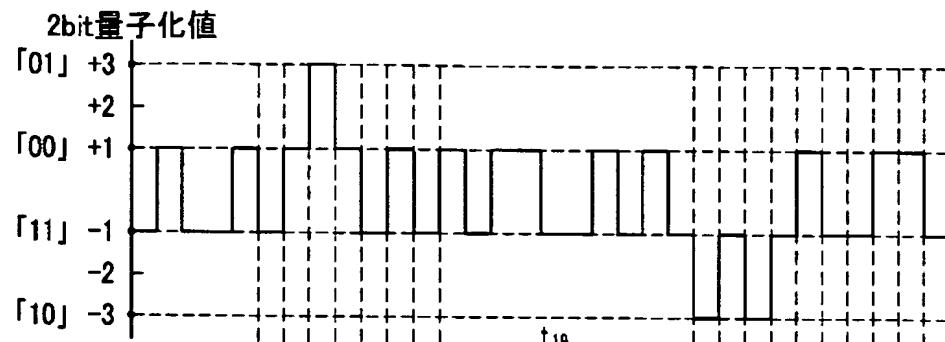
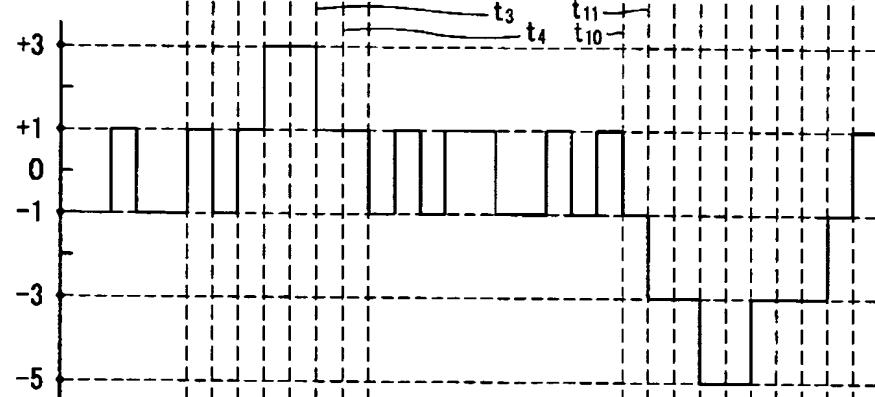
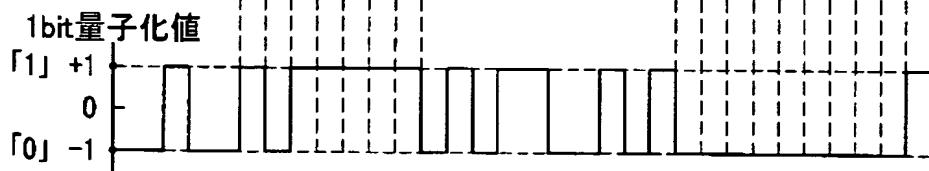
1 デジタル信号処理装置



【図 2】

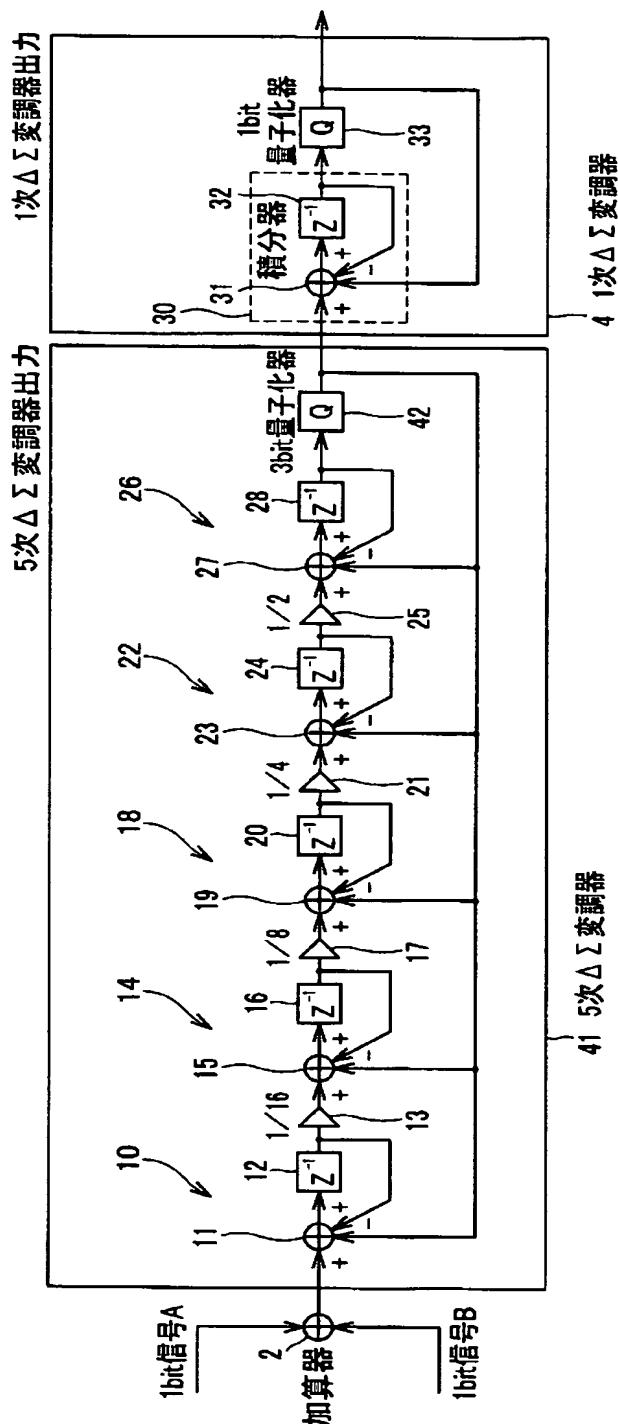


【図3】

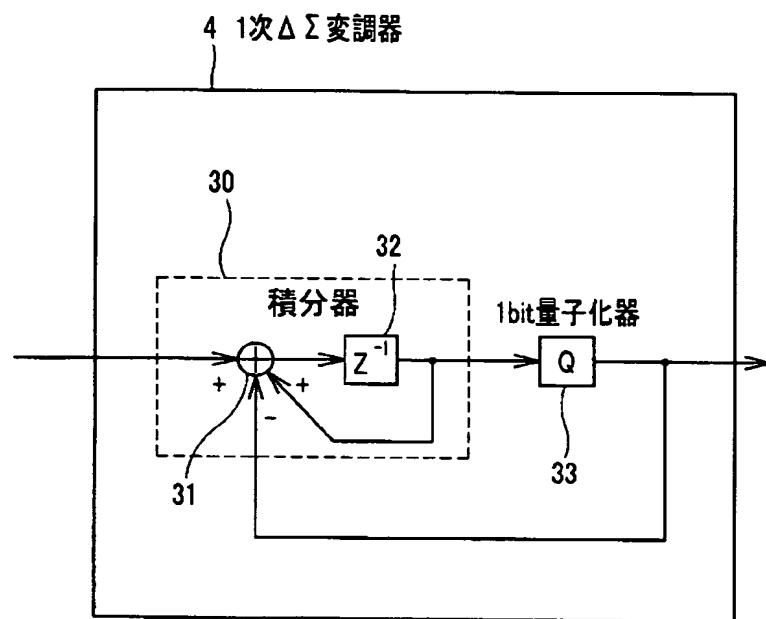
(A) 5次 $\Delta \Sigma$ 変調器出力(B) 1次 $\Delta \Sigma$ 変調器の積分器出力(C) 1次 $\Delta \Sigma$ 変調器出力

【図 4】

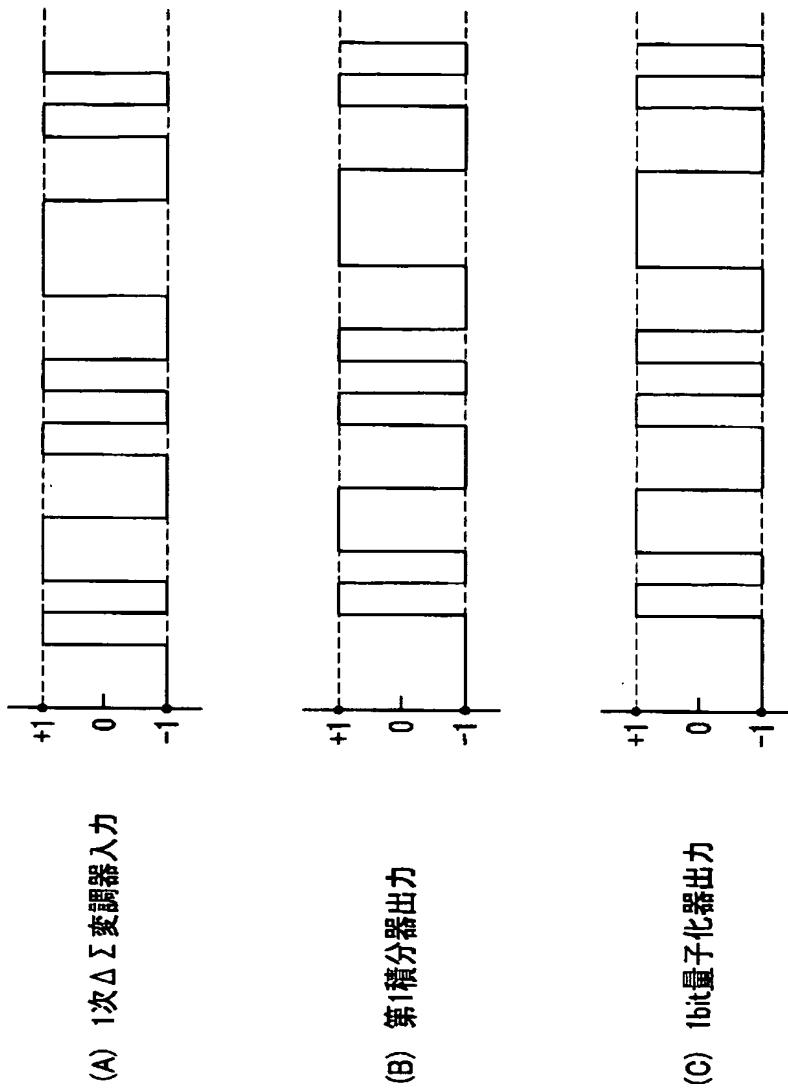
40 デジタル信号処理装置



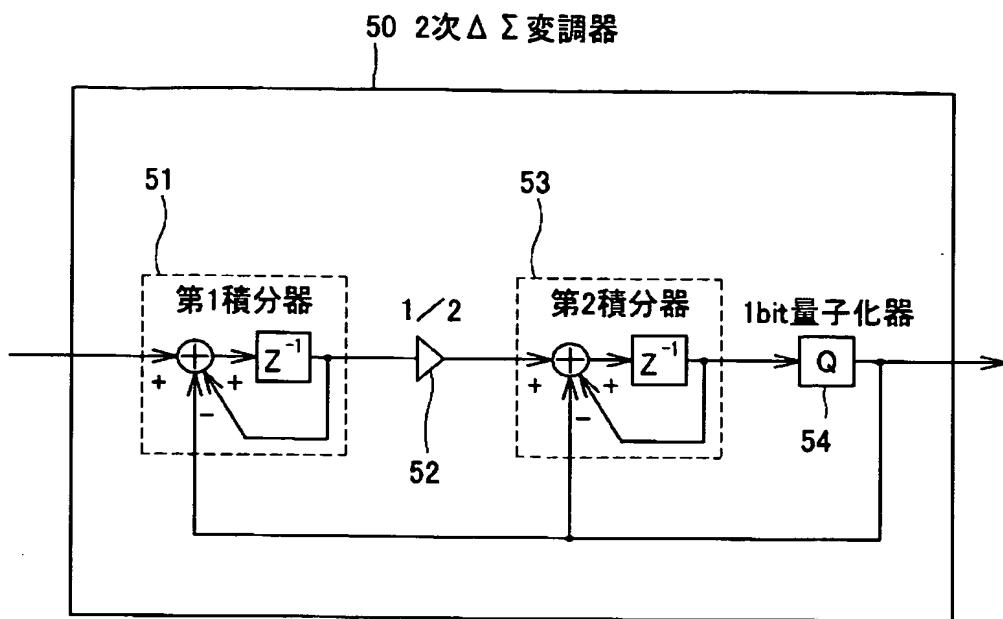
【図 5】



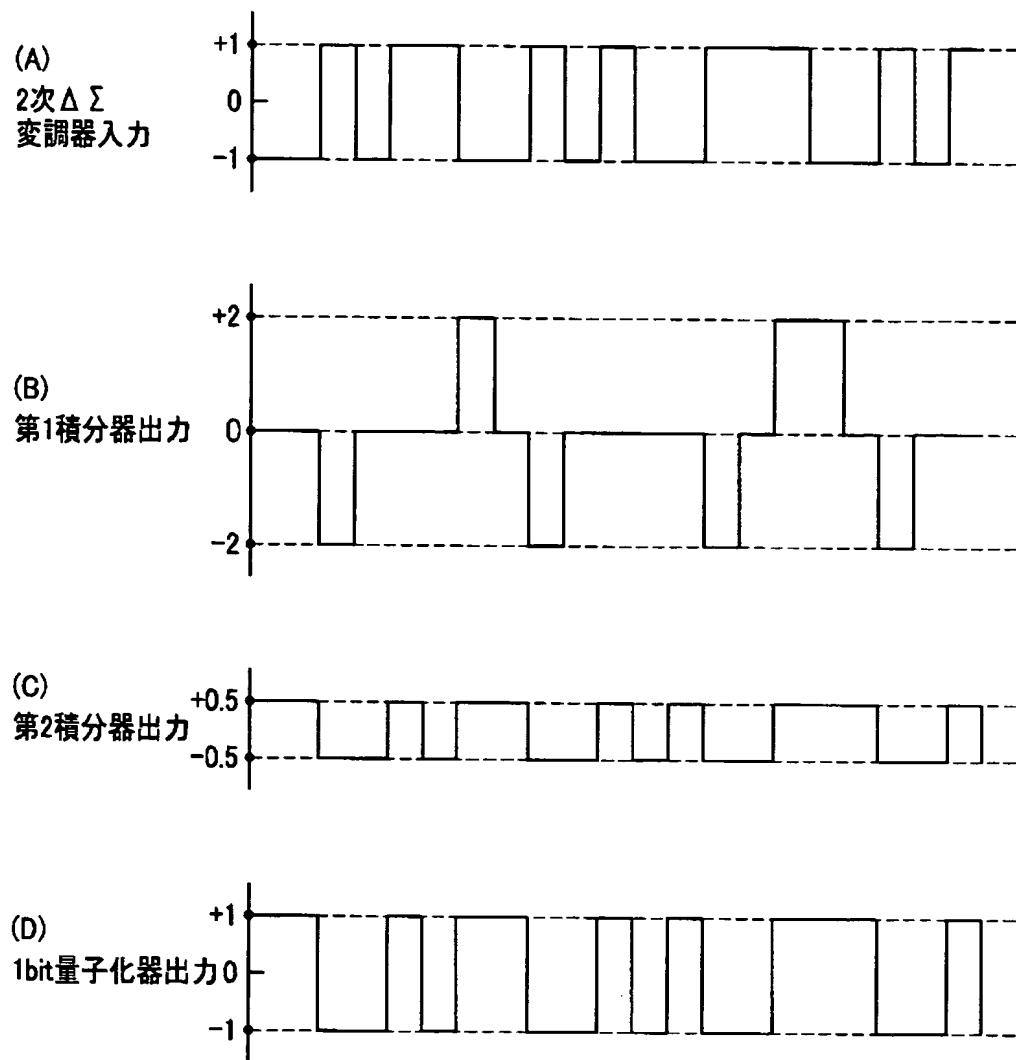
【図 6】



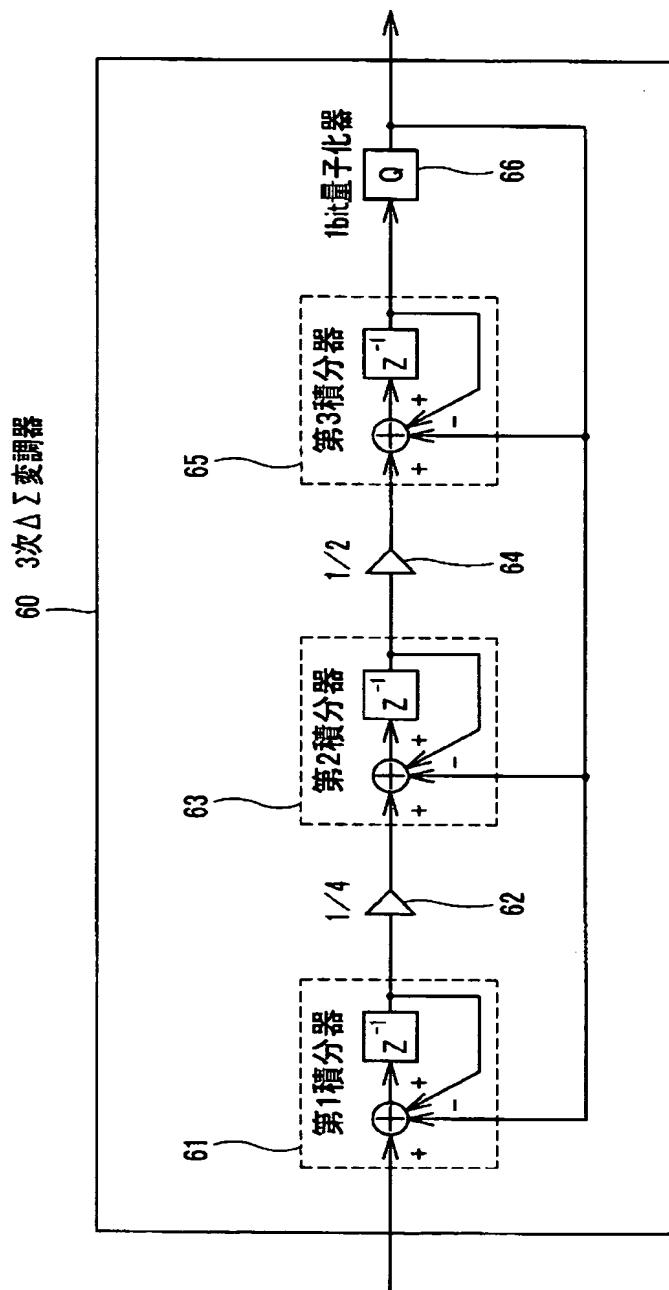
【図 7】



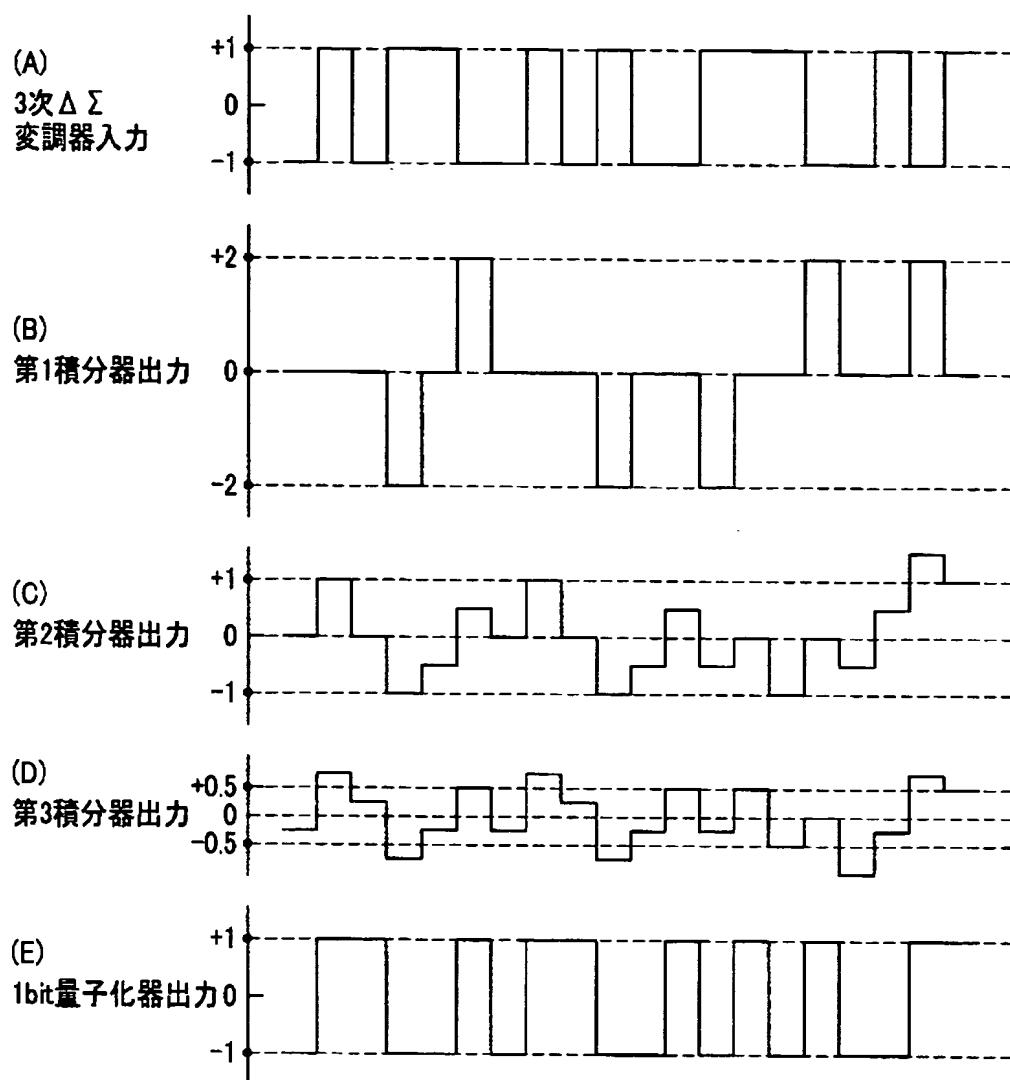
【図 8】



【図9】



【図 10】



【書類名】 要約書

【要約】

【課題】 小さなオーディオ帯域信号レベルの信号に対しては高次 $\Delta\Sigma$ 変調による低い量子化ノイズレベルを実現しつつ、大きなレベルの信号までを表現する1ビット信号を得ることを可能にするデジタル信号処理装置を提供する。

【解決手段】 量子化器29の量子化ビット数を2ビットに拡張し、量子化値を ± 1 、 ± 3 の4値とした5次の $\Delta\Sigma$ 変調器3を用いて、一旦、 ± 1 を超えるオーディオ帯域信号を表した $\Delta\Sigma$ 変調信号を生成する。一旦、2ビットに変換した信号は、後段の1次の $\Delta\Sigma$ 変調器4によって、再び1ビット信号に再変換される。ここで、後段の1ビット量子化器33の量子化値は、前段の2ビット量子化器29の最小量子化値である ± 1 と同じ値にする。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2003-193821
受付番号	50301134888
書類名	特許願
担当官	第八担当上席 0097
作成日	平成 15 年 7 月 11 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002185
【住所又は居所】	東京都品川区北品川 6 丁目 7 番 35 号
【氏名又は名称】	ソニー株式会社

【代理人】

【識別番号】	100067736
【住所又は居所】	東京都千代田区内幸町 1 丁目 1 番 7 号 大和生命 ビル 11 階 小池国際特許事務所
【氏名又は名称】	小池 晃

【選任した代理人】

【識別番号】	100086335
【住所又は居所】	東京都千代田区内幸町 1 丁目 1 番 7 号 大和生命 ビル 11 階 小池国際特許事務所
【氏名又は名称】	田村 篤一

【選任した代理人】

【識別番号】	100096677
【住所又は居所】	東京都千代田区内幸町 1 丁目 1 番 7 号 大和生命 ビル 11 階 小池国際特許事務所
【氏名又は名称】	伊賀 誠司

特願 2003-193821

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社